

Facultad de Ciencias

GUÍA DOCENTE DE LA ASIGNATURA

M1709 - Jerarquía de Memoria

Máster Universitario en Ingeniería Informática
Optativa. Curso 1

Curso Académico 2022-2023

1. DATOS IDENTIFICATIVOS

Título/s	Máster Universitario en Ingeniería Informática		Tipología v Curso	Optativa. Curso 1
Centro	Facultad de Ciencias			
Módulo / materia	ASIGNATURAS OPTATIVAS			
Código y denominación	M1709 - Jerarquía de Memoria			
Créditos ECTS	3	Cuatrimestre	Cuatrimestral (2)	
Web	https://aulavirtual.unican.es			
Idioma de impartición	Español	English friendly	No	Forma de impartición Presencial

Departamento	DPTO. INGENIERÍA INFORMÁTICA Y ELECTRÓNICA
Profesor responsable	JOSE ANGEL GREGORIO MONASTERIO
E-mail	joseangel.gregorio@unican.es
Número despacho	Facultad de Ciencias. Planta: + 1. DESPACHO (1104)
Otros profesores	

2. CONOCIMIENTOS PREVIOS

El alumno deben tener conocimientos avanzados de la arquitectura de procesador (Al menos el equivalente a los requeridos en la asignatura Arquitectura e Ingeniería de Computadores Cod. G672).

3. COMPETENCIAS GENÉRICAS Y ESPECÍFICAS DEL PLAN DE ESTUDIOS TRABAJADAS

Competencias Genéricas
Capacidad para proyectar, calcular y diseñar productos, procesos e instalaciones en todos los ámbitos de la Ingeniería Informática
Capacidad para la aplicación de los conocimientos adquiridos y de resolver problemas en entornos nuevos o poco conocidos dentro de contextos más amplios y multidisciplinares, siendo capaces de integrar estos conocimientos
Competencias Específicas
Capacidad para modelar, diseñar, definir la arquitectura, implantar, gestionar, operar, administrar y mantener aplicaciones, redes, sistemas, servicios y contenidos informáticos
Capacidad para diseñar y evaluar sistemas operativos y servidores, y aplicaciones y sistemas basados en computación distribuida
Competencias Básicas
Poseer y comprender conocimientos que aporten una base u oportunidad de ser originales en el desarrollo y/o aplicación de ideas, a menudo en un contexto de investigación
Que los estudiantes sepan aplicar los conocimientos adquiridos y su capacidad de resolución de problemas en entornos nuevos o poco conocidos dentro de contextos más amplios (o multidisciplinares) relacionados con su área de estudio
Que los estudiantes sepan comunicar sus conclusiones -y los conocimientos y razones últimas que las sustentan- a públicos especializados y no especializados de un modo claro y sin ambigüedades
Que los estudiantes posean las habilidades de aprendizaje que les permitan continuar estudiando de un modo que habrá de ser en gran medida autodirigido o autónomo
Competencias Transversales
Capacidad de análisis, síntesis y evaluación
Capacidad de organización y planificación
Capacidad de resolución de problemas aplicando técnicas de ingeniería
Capacidad de trabajo en equipo
Capacidad de razonamiento crítico
Aprendizaje autónomo
Creatividad

3.1 RESULTADOS DE APRENDIZAJE

- Conocer la relevancia de las Arquitecturas Paralelas y su uso en diferentes dominios de aplicación.
- Especial énfasis en la jerarquía de memoria de las arquitecturas tipo CMP (Chip Multiprocessor).

4. OBJETIVOS

- Comprender los conceptos básicos en los que se fundamentan las arquitecturas paralelas integradas en chip.
- Entender cómo funcionan los mecanismos de comunicación y sincronización de esta clase de sistemas y el modo en que se relacionan con las técnicas de programación.
- Ser conocedor de los retos futuros a los que se enfrentan estos sistemas y las diferentes alternativas que permitirían superarlos.

5. MODALIDADES ORGANIZATIVAS Y MÉTODOS DOCENTES

ACTIVIDADES	HORAS DE LA ASIGNATURA
ACTIVIDADES PRESENCIALES	
HORAS DE CLASE (A)	
- Teoría (TE)	15
- Prácticas en Aula (PA)	5
- Prácticas de Laboratorio Experimental(PLE)	10
- Prácticas de Laboratorio en Ordenador (PLO)	
- Prácticas Clínicas (CL)	
Subtotal horas de clase	30
ACTIVIDADES DE SEGUIMIENTO (B)	
- Tutorías (TU)	3
- Evaluación (EV)	2
Subtotal actividades de seguimiento	5
Total actividades presenciales (A+B)	35
ACTIVIDADES NO PRESENCIALES	
Trabajo en grupo (TG)	5
Trabajo autónomo (TA)	35
Tutorías No Presenciales (TU-NP)	
Evaluación No Presencial (EV-NP)	
Total actividades no presenciales	40
HORAS TOTALES	75

6. ORGANIZACIÓN DOCENTE

CONTENIDOS		TE	PA	PLE	PLO	CL	TU	EV	TG	TA	TU-NP	EV-NP	Semana
1	Introducción a los sistemas multiprocesadores en chip (CMPs)	2,00	0,00	0,00	0,00	0,00	0,00	0,00	0,00	3,00	0,00	0,00	1
2	Protocolos de coherencia y modelos de consistencia en memoria. Motivación. Consistencia Secuencial. Consistencia TSO. Consistencia relajada. Tipos de protocolos de coherencia. Codificación de estados. Estados para la optimización.	5,00	2,00	6,00	0,00	0,00	1,00	0,50	2,00	15,00	0,00	0,00	1,2
3	Redes de interconexión on-chip. Características. Interacción red-protocolos. Limitaciones.	4,00	2,00	4,00	0,00	0,00	1,00	0,50	2,00	10,00	0,00	0,00	3
4	Escalabilidad on-chip y off-chip en sistemas many-core CMP. Aspectos generales. Principales limitaciones a la escalabilidad.	4,00	1,00	0,00	0,00	0,00	1,00	1,00	1,00	7,00	0,00	0,00	4
TOTAL DE HORAS		15,00	5,00	10,00	0,00	0,00	3,00	2,00	5,00	35,00	0,00	0,00	

Esta organización tiene carácter orientativo.

TE	Horas de teoría
PA	Horas de prácticas en aula
PLE	Horas de prácticas de laboratorio experimental
PLO	Horas de prácticas de laboratorio en ordenador
CL	Horas de prácticas clínicas
TU	Horas de tutoría
EV	Horas de evaluación
TG	Horas de trabajo en grupo
TA	Horas de trabajo autónomo
TU-NP	Tutorías No Presenciales
EV-NP	Evaluación No Presencial

7. MÉTODOS DE LA EVALUACIÓN

Descripción	Tipología	Eval. Final	Recuper.	%
Examen de seguimiento	Examen escrito	No	Sí	50,00
Calif. mínima	3,00			
Duración	media hora			
Fecha realización	al finalizar cada bloque			
Condiciones recuperación	examen final			
Observaciones	Examen tras la finalización de cada uno de los tres bloques principales			
Examen final	Examen escrito	No	Sí	50,00
Calif. mínima	0,00			
Duración	dos horas			
Fecha realización	Cuando lo determine la Facultad			
Condiciones recuperación				
Observaciones	Examen correspondiente a todos los conocimientos adquiridos en la asignatura.			
TOTAL				100,00
Observaciones				
<p>'Hay una única convocatoria anual. Si la asignatura no se supera en las actividades de evaluación ordinarias realizadas en el primer cuatrimestre o en el segundo se podrá acceder a la evaluación de recuperación en septiembre.</p> <p>Si el cupo de matrículas de honor de la asignatura se completa en la evaluación ordinaria, los alumnos que se presenten a la recuperación no podrán optar a la calificación de matrícula de honor.'</p>				
Criterios de evaluación para estudiantes a tiempo parcial				
Los alumnos matriculados a tiempo parcial se registrarán por el mismo método de evaluación que los alumnos matriculados a tiempo completo.				

8. BIBLIOGRAFÍA Y MATERIALES DIDÁCTICOS

BÁSICA
Natalie Enright Jerger, Li-Shiuan Peh, "On-Chip Networks ", Synthesis Lectures on Computer Architecture, Morgan & Claypool Publishers, 2017
Daniel J. Sorin, Mark D. Hill, David A. Wood, "A Primer on Memory Consistency and Cache Coherence". (Second Ed.) Synthesis Lectures on Computer Architecture. 2020
John L. Hennessy David A. Patterson, "Computer Architecture: A Quantitative Approach", Morgan Kaufmann, 6th ed 2017.
Complementaria
Kunle Olukotun, Lance Hammond, James Laudon, "Chip Multiprocessor Architecture: Techniques to Improve Throughput and Latency", Synthesis Lectures on Computer Architecture, Morgan & Claypool Publishers, 2007

9. SOFTWARE

PROGRAMA / APLICACIÓN	CENTRO	PLANTA	SALA	HORARIO
-----------------------	--------	--------	------	---------

10. COMPETENCIAS LINGÜÍSTICAS

- Comprensión escrita
- Comprensión oral
- Expresión escrita
- Expresión oral
- Asignatura íntegramente desarrollada en inglés

Observaciones

Imprescindible la comprensión de textos escritos en inglés.