

GUÍA DOCENTE ABREVIADA DE LA ASIGNATURA

312 - Jerarquía de Memoria

Máster Universitario en Ingeniería Informática

Curso Académico 2023-2024

| 1. DATOS IDENTIFICATIVOS | | | | | |
|--------------------------|---|------------------|-------------------|----------------------|-------------------|
| Título/s | Máster Universitario en Ingeniería Informática | | | Tipología v Curso | Optativa. Curso 1 |
| Centro | Facultad de Ciencias | | | | |
| Módulo / materia | ASIGNATURAS OPTATIVAS | | | | |
| Código y denominación | 312 - Jerarquía de Memoria | | | | |
| Créditos ECTS | 3 | Cuatrimestre | Cuatrimestral (2) | | |
| Web | https://aulavirtual.unican.es | | | | |
| Idioma de impartición | Español | English friendly | No | Forma de impartición | Presencial |

| | | | | | |
|----------------------|--|--|--|--|--|
| Departamento | DPTO. INGENIERÍA INFORMÁTICA Y ELECTRÓNICA | | | | |
| Profesor responsable | JOSE ANGEL GREGORIO MONASTERIO | | | | |
| E-mail | joseangel.gregorio@unican.es | | | | |
| Número despacho | Facultad de Ciencias. Planta: + 1. DESPACHO (1104) | | | | |
| Otros profesores | | | | | |

3.1 RESULTADOS DE APRENDIZAJE

- Conocer la relevancia de las Arquitecturas Paralelas y su uso en diferentes dominios de aplicación.
- Especial énfasis en la jerarquía de memoria de las arquitecturas tipo CMP (Chip Multiprocessor).

4. OBJETIVOS

Comprender los conceptos básicos en los que se fundamentan las arquitecturas paralelas integradas en chip.

Entender cómo funcionan los mecanismos de comunicación y sincronización de esta clase de sistemas y el modo en que se relacionan con las técnicas de programación.

Ser conocedor de los retos futuros a los que se enfrentan estos sistemas y las diferentes alternativas que permitirían superarlos.

6. ORGANIZACIÓN DOCENTE

CONTENIDOS

| | |
|---|--|
| 1 | Introducción a los sistemas multiprocesadores en chip (CMPs) |
| 2 | Protocolos de coherencia y modelos de consistencia en memoria. Motivación. Consistencia Secuencial. Consistencia TSO. Consistencia relajada. Tipos de protocolos de coherencia. Codificación de estados. Estados para la optimización. |
| 3 | Redes de interconexión on-chip. Características. Interacción red-protocolos. Limitaciones. |
| 4 | Escalabilidad on-chip y off-chip en sistemas many-core CMP. Aspectos generales. Principales limitaciones a la escalabilidad. |

7. MÉTODOS DE LA EVALUACIÓN

| Descripción | Tipología | Eval. Final | Recuper. | % |
|--|----------------|-------------|----------|--------|
| Examen de seguimiento | Examen escrito | No | Sí | 50,00 |
| Examen final | Examen escrito | No | Sí | 50,00 |
| TOTAL | | | | 100,00 |
| Observaciones | | | | |
| " | | | | |
| Criterios de evaluación para estudiantes a tiempo parcial | | | | |
| Los alumnos matriculados a tiempo parcial se registrarán por el mismo método de evaluación que los alumnos matriculados a tiempo completo. | | | | |

8. BIBLIOGRAFÍA Y MATERIALES DIDÁCTICOS

| BÁSICA |
|--|
| Natalie Enright Jerger, Li-Shiuan Peh, "On-Chip Networks ", Synthesis Lectures on Computer Architecture, Morgan & Claypool Publishers, 2017 |
| Daniel J. Sorin, Mark D. Hill, David A. Wood, "A Primer on Memory Consistency and Cache Coherence". (Second Ed.) Synthesis Lectures on Computer Architecture. 2020 |
| John L. Hennessy David A. Patterson, "Computer Architecture: A Quantitative Approach", Morgan Kaufmann, 6th ed 2017. |

Esta es la Guía Docente abreviada de la asignatura. Tienes también publicada en la Web la información más detallada de la asignatura en la Guía Docente Completa.