

GUÍA DOCENTE ABREVIADA DE LA ASIGNATURA

G825 - Microprocesadores

Grado en Ingeniería de Tecnologías de Telecomunicación

Grado en Ingeniería de Tecnologías de Telecomunicación

Curso Académico 2024-2025

1. DATOS IDENTIFICATIVOS					
Título/s	Grado en Ingeniería de Tecnologías de Telecomunicación Grado en Ingeniería de Tecnologías de Telecomunicación			Tipología y Curso	Obligatoria. Curso 3 Obligatoria. Curso 3
Centro	Escuela Técnica Superior de Ingenieros Industriales y de Telecomunicación				
Módulo / materia	MATERIA MICROPROCESADORES MÓDULO OBLIGATORIO				
Código y denominación	G825 - Microprocesadores				
Créditos ECTS	6	Cuatrimestre	Cuatrimestral (1)		
Web	https://moodle.unican.es/course/view.php?id=11936				
Idioma de impartición	Español	English friendly	No	Forma de impartición	Presencial

Departamento	DPTO. INGENIERÍA INFORMÁTICA Y ELECTRÓNICA				
Profesor responsable	BORJA PEREZ PAVON				
E-mail	borja.perezpavon@unican.es				
Número despacho	Facultad de Ciencias. Planta: + 1. SALA IMPRESORAS (1109)				
Otros profesores	JOSÉ LUIS BOSQUE ORERO MARIANO BENITO HOZ				

3.1 RESULTADOS DE APRENDIZAJE

- Capacidad para comprender la interconexión entre los diversos elementos de un computador.
- Capacidad para comprender todos los procesos de entrada/salida de un computador, escogiendo la mejor técnica para cada proceso de comunicaciones.
- Conocimientos sobre la jerarquía de memoria y su impacto sobre el rendimiento de un computador.
- Conocimientos sobre el diseño de procesadores monociclo y segmentados, permitiendo entender cómo se gestionan las distintas instrucciones en el procesador.

4. OBJETIVOS

El objetivo es que el alumno conozca y comprenda los fundamentos que gobiernan el funcionamiento de los elementos básicos de un computador, especialmente aquellos relacionados con la Organización de Computadores. Esto comprende la interconexión entre los diversos elementos del sistema, incluyendo periféricos y entrada salida, la jerarquía de memoria y la memoria principal y el diseño del cauce de control y datos de procesadores monociclo y segmentados.

6. ORGANIZACIÓN DOCENTE

CONTENIDOS

1	Interconexión y entrada salida: Concepto, estructura y tipos de buses; Arquitectura de bus único; Jerarquía de buses; Protocolos de bus; Estructura del sistema de Entrada/Salida; Entrada/Salida programada, mediante Interrupciones y basada en Acceso Directo a Memoria.
2	Memoria principal: Organización de la memoria DRAM; Controlador de memoria y comandos; Timings de DRAM.
3	Jerarquía de memoria: Concepto de Jerarquía de Memoria; Políticas de asignación; Políticas de reemplazo; Rendimiento de la memoria cache
4	El procesador monociclo: Formato del Repertorio de Instrucciones; Camino de Datos y de Control; Realización de un esquema simple.
5	El procesador segmentado: Concepto de segmentación; Procesamiento segmentado de instrucciones; El control en la segmentación; Riesgos de datos y anticipación; Riesgos de datos y bloqueos; Riesgos de control y saltos.

7. MÉTODOS DE LA EVALUACIÓN

Descripción	Tipología	Eval. Final	Recuper.	%
Evaluación práctica	Actividad de evaluación con soporte virtual	No	Sí	30,00
Examen parcial de teoría y problemas	Examen escrito	No	Sí	40,00
Examen final de teoría y problemas	Examen escrito	Sí	Sí	30,00
TOTAL				100,00

Observaciones

El modelo de evaluación principal y recomendado es la evaluación continua. También se realizarán exámenes finales para los alumnos que no superen la asignatura o decidan no acogerse a este modelo.

La convocatoria extraordinaria constará de un examen de teoría y prácticas y uno de laboratorio, cubriendo toda la materia de la asignatura. La nota de los exámenes parciales individuales no se conservará en ningún caso para la convocatoria extraordinaria. La nota de la evaluación práctica, en caso de ser igual o superior a 4, podrá conservarse si el alumno así lo desea.

Criterios de evaluación para estudiantes a tiempo parcial

Los alumnos a tiempo parcial podrán acogerse a la evaluación continua ordinaria o bien a una prueba única que incluirá un examen de teoría más un examen práctico en el laboratorio.

8. BIBLIOGRAFÍA Y MATERIALES DIDÁCTICOS**BÁSICA**

Computer Organization and Design RISC-V Edition: The Hardware Software Interface. David A. Patterson, John L. Hennessy. The Morgan Kaufmann Series in Computer Architecture and Design. 2021.

Organización y Arquitectura de Computadores. W. Stallings. 7a Edición. Prentice-Hall, 2006.

Memory Systems: Cache, DRAM, Disk. Bruce Jacob, David Wang, Spencer Ng. Morgan Kaufman. 2007.

Esta es la Guía Docente abreviada de la asignatura. Tienes también publicada en la Web la información más detallada de la asignatura en la Guía Docente Completa.